

A7

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09036875

(43)Date of publication of application: 07.02.1997

(51)Int.Cl.

H04L 12/28
H04Q 3/00

(21)Application number: 07182864

(71)Applicant:

NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing: 19.07.1995

(72)Inventor:

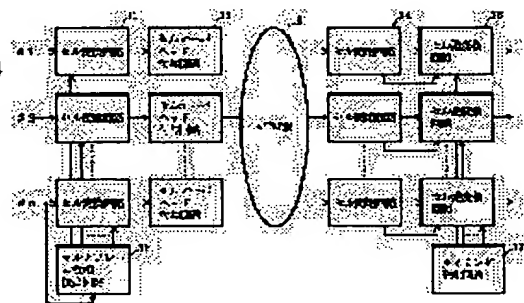
TAKIGAWA KOUHIROU
MAEKAWA EIJI

(54) ASYNCHRONOUS TRANSFER EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the circuit scale, to improve the transmission efficiency and to decrease the processing time by utilizing a multi-frame phase of an input STM signal so as to contain information by a frame period of the received STM signal into one cell.

SOLUTION: Received STM signals by a cell conversion circuit 11 are signals of plural series having the same multi-frame structure whose multi-phases are coincident with each other, a cell conversion circuit 11, a cell overhead provision circuit 12, a cell synchronization circuit 14 and a cell inverse conversion circuit 15 are provided to each channel, and a multi-frame phase detection circuit 16 is provided to the system as a means detecting a multi-frame phase of plural series signals. Each cell conversion circuit 11 contains information of one or plural multiframes, based on a detected multi-frame phase as a unit. Thus, when multi-frame phase for all channels can be established simultaneously when cell synchronization is established.



LEGAL STATUS

[Date of request for examination] 13.03.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C): 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36875

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	E
H 0 4 Q 3/00			H 0 4 Q 3/00	

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-182864

(22) 出願日 平成7年(1995)7月19日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 滝川 好比郎

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 前川 英二

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

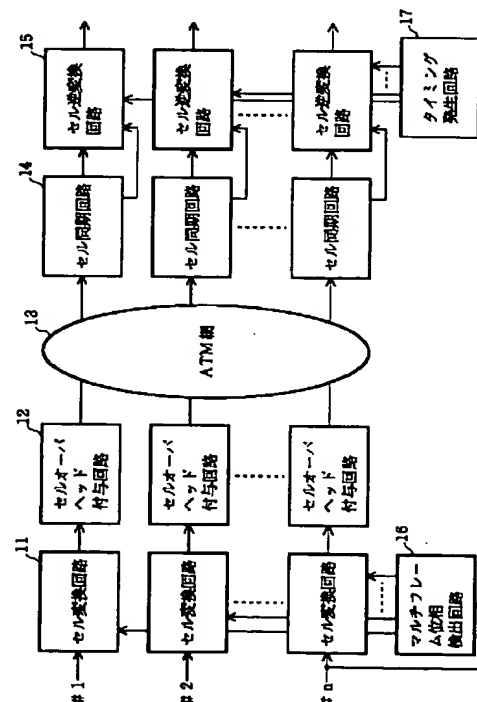
(74) 代理人 弁理士 井出 直孝 (外1名)

(54) 【発明の名称】 非同期伝送装置

(57) 【要約】

【課題】 マルチフレーム位相の一致している複数のチャネルから構成されるSTM信号をATM信号に変換して伝送する場合に、回路規模の削減、伝送効率の向上、ならびに処理時間の短縮を可能とする。

【解決手段】 入力信号のマルチフレーム位相を利用して、1または複数マルチフレーム周期分の信号を1セルの中に収容する。



【特許請求の範囲】

【請求項1】 同期転送モードの信号を非同期転送モードのセル化された信号に変換して非同期転送モード網に出力するセル化手段と、

この非同期転送モード網から入力されたセル化された信号を同期転送モードの信号に変換するデセル化手段とを備えた非同期伝送装置において、

前記同期転送モードの信号は同じマルチフレーム構造をもち互いにマルチフレーム位相の一致する複数系列の信号であり、

前記セル化手段は、この複数系列の信号のマルチフレーム位相を検出する手段と、検出されたマルチフレーム位相に基づいて1または複数のマルチフレームの情報を単位としてひとつのセルに収容する手段とを含み、

前記デセル化手段は、セル化された信号のセル位相を検出する手段と、検出されたセル位相に基づいて所要のマルチフレーム位相タイミングをもつ同期転送モードの信号に逆変換する手段とを含むことを特徴とする非同期伝送装置。

【請求項2】 前記複数系列の信号はそれぞれ別々の入力端子から入力された信号であり、前記収容する手段は前記別々の入力端子から入力された信号をそれぞれ別々にセル化する手段を含み、前記逆変換する手段は別々にセル化された信号からマルチフレーム位相の一致する複数系列の信号を生成する手段を含む請求項1記載の非同期伝送装置。

【請求項3】 前記複数系列の信号は同じマルチフレーム構造をもつ複数のチャンネルが時分割多重された信号であり、前記収容する手段はこの時分割多重された信号を分離することなくセル化する手段を含む請求項1記載の非同期伝送装置。

【請求項4】 前記複数系列の信号は複数の入力端子から入力されそれぞれが同じマルチフレーム構造をもつ複数のチャンネルが時分割多重された信号であり、前記収容する手段は前記複数の入力端子から入力された信号をそれぞれ別々にセル化する手段を含み、前記逆変換する手段は別々にセル化された信号からマルチフレーム位相の一致する複数系列の信号を生成する手段を含む請求項1記載の非同期伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は非同期転送モード(Asynchronous Transfer Mode、以下「ATM」という)の信号伝送に関する。特に、同期転送モード(Synchronous Transfer Mode、以下「STM」という)の信号を変換してATM信号とする回路、ならびにその逆変換を行う回路、すなわちセル化/デセル化回路(CLA D)に関する。

【0002】

【従来の技術】図6はセル化/デセル化回路を備えた従

来例の非同期伝送装置を示すブロック構成図である。ここでは、複数の入力端子を備え、各端子から入力されるSTM信号が1チャンネルのマルチフレーム構造をもっており、しかも各端子のマルチフレーム位相が一致している場合の例を説明する。非同期伝送装置は、セル化回路としてセル変換回路21およびセルオーバーヘッド付与回路22を備え、ATM網23を介して、セル同期回路24およびセル逆変換回路25からなるデセル化回路に接続される。セル逆変換回路25の出力はマルチフレーム位相同期回路26を介して出力される。セル変換回路21、セルオーバーヘッド付与回路22、セル同期回路24、セル逆変換回路25およびマルチフレーム位相同期回路26はチャンネル毎に設けられ、チャンネル毎のマルチフレーム位相同期回路26には共通のタイミング発生回路27が接続される。

【0003】セル変換回路21は、入力されたSTM信号(以下「入力STM信号」という)からフレーム同期情報その他の制御情報を除いたペイロードと呼ばれる主情報部分を、48バイトずつに分解する。セルオーバーヘッド付与回路22は、各48バイトに5バイトのヘッダ(これを「セルオーバーヘッド」という)を付与し、53バイトのセルとする。この53バイトからなる信号ブロックを「セル」と呼び、ATM網23へ伝送される。セル変換回路21およびセルオーバーヘッド付与回路22によるセル化例を図7に示す。セル化時には、入力端子#1~#nに入力されるSTM信号のマルチフレーム(MF1~MF4)位相は全く考慮されない。図には、マルチフレーム位相が明確になるように、特定のマルチフレーム位相点を黒の三角印で表す。

【0004】セル同期回路24は、セル同期を確立して53バイトのセルを認識し、各セルのオーバーヘッドを解読してそこに記述されている宛先が自分宛であるか否かを検証する。自分宛である場合には、セル逆変換回路25により5バイトのセルオーバーヘッドの削除およびフレーム情報の付与を行い、入力信号と同じSTM信号として出力する。セル同期回路24およびセル逆変換回路25によるデセル化例を図8に示す。この時点では、セルのマルチフレーム位相は全く考慮されない。

【0005】セル逆変換回路25の出力はマルチフレーム同期回路26に入力され、共通のタイミング発生回路27からのタイミング信号にしたがってSTM信号を出力する。すなわち、マルチフレーム同期回路26によりすべてのチャンネルのマルチフレーム位相が検出され、マルチフレーム位相同期が確立する。マルチフレーム位相同期の確立動作例を図9に示す。

【0006】このようにSTM信号をATM信号に変換して伝送することにより、伝送速度やフレーム同期方法などの入力信号の伝送パラメータによらず、統一的にATM網内の伝送が可能となる。

【0007】

【発明が解決しようとする課題】一般にATM網内においては、セルゆらぎならびにセル落ちが発生するため、ATM網の受信側においてこれらの現象に対する措置が必要である。入力STM信号がマルチフレーム位相の一致している複数チャネルから構成されている場合、セルゆらぎに対しては、ネットワークの受信側において通常必要となるバッファの他に、複数チャネルのマルチフレーム位相を一致させるためのマルチフレーム位相同期回路が必要となる。また、セル落ちに対しては、セル逆変換後のSTM信号（これを以下「出力STM信号」という）においてマルチフレーム位相同期外れを発生させないように、セル変換回路およびセル逆変換回路に、セルのシーケンスを管理する機能（例えばATMアダプテーション・レイヤ、タイプ1：AAL type 1）が新たに必要となる。

【0008】このように、セルゆらぎに対してマルチフレーム位相同期回路が必要となるため、回路規模の増大ならびに処理時間の増加をまねいていた。また、セル落ちに対してはセルのシーケンスを管理する機能がセル変換回路およびセル逆変換回路に新たに必要となることから、回路規模の増大、伝送効率の低下、ならびに処理時間の増加をまねいていた。

【0009】本発明は、以上の課題を解決し、入力信号がマルチフレーム位相の一致している複数のチャネルから構成されている場合に、回路規模、伝送効率および処理時間が改善された非同期転送装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、入力信号のマルチフレーム位相を利用してセル化を行い、1または複数マルチフレーム周期分の信号を1セルの中に収容することを最も主要な特徴とする。すなわち本発明の非同期伝送装置は、同期転送モードの信号を非同期転送モードのセル化された信号に変換して非同期転送モード網に出力するセル化手段と、この非同期転送モード網から入力されたセル化された信号を同期転送モードの信号に変換するデセル化手段とを備えた非同期伝送装置において、入力される同期転送モードの信号は同じマルチフレーム構造をもち互いにマルチフレーム位相の一致する複数系列の信号であり、セル化手段は、この複数系列の信号のマルチフレーム位相を検出する手段と、検出されたマルチフレーム位相に基づいて1または複数のマルチフレームの情報を単位としてひとつのセルに収容する手段とを含み、デセル化手段は、セル化された信号のセル位相を検出する手段と、検出されたセル位相に基づいて所要のマルチフレーム位相タイミングをもつ同期転送モードの信号に逆変換する手段とを含むことを特徴とする。

【0011】同期転送モードの複数系列の信号がそれぞれ別々の入力端子から入力され、収容する手段は別々の入力端子から入力された信号をそれぞれ別々にセル化す

る手段を含み、逆変換する手段は別々にセル化された信号からマルチフレーム位相の一致する複数系列の信号を生成する手段を含むことができる。また、複数系列の信号が同じマルチフレーム構造をもつ複数のチャネルが時分割多重された信号であり、収容する手段はこの時分割多重された信号を分離することなくセル化する手段を含むこともできる。さらに、これらを組み合わせ、複数系列の信号が複数の入力端子から入力されそれぞれが同じマルチフレーム構造をもつ複数のチャネルが時分割多重された信号であり、収容する手段は複数の入力端子から入力された信号をそれぞれ別々にセル化する手段を含み、逆変換する手段は別々にセル化された信号からマルチフレーム位相の一致する複数系列の信号を生成する手段を含むこともできる。

【0012】本発明では、入力STM信号のマルチフレーム位相を利用して、1セル内に入力STM信号の n チャネルの m フレーム分（ n 、 m はともに1以上の整数）の情報を収容する。したがって、セル同期が確立した時点で同時にそのチャネルのマルチフレーム位相が得られ、マルチフレーム位相同期回路を用いることなく全チャネルのマルチフレーム位相同期を確立することが可能となる。また、セル落ちが発生すると m マルチフレーム分の情報が欠落することもあるので、セルのシーケンスを管理する機能がなくとも、出力STM信号においてマルチフレーム同期外れを生じることがない。したがって、回路規模の増大、伝送効率の低下、ならびに処理時間の増加の問題を解決することができる。

【0013】

【発明の実施の形態】図1は本発明実施例の非同期伝送装置を示すブロック構成図である。この装置は、STM信号をセル化されたATM信号に変換してATM網13に出力するセル化手段としてセル変換回路11およびセルオーバーヘッド付与回路12を備え、ATM網13から入力されたATM信号をSTM信号に変換するデセル化手段としてセル同期回路14、セル逆変換回路15およびタイミグ発生回路17を備える。セル変換回路11に入力される入力STM信号は同じマルチフレーム構造をもち互いにマルチフレーム位相の一致する複数系列の信号であり、それぞれに対応してセル変換回路11、セルオーバーヘッド付与回路12、セル同期回路14およびセル逆変換回路15が複数設けられ、複数系列の信号のマルチフレーム位相を検出する手段としてマルチフレーム位相検出回路16を備える。セル変換回路11は検出されたマルチフレーム位相に基づいて1または複数のマルチフレームの情報を単位としてひとつのセルに収容し、セル同期回路14はATM信号のセル位相を検出し、セル逆変換回路15は検出されたセル位相に基づいて所要のマルチフレーム位相タイミングをもつ同期転送モードの信号に逆変換する。

【0014】図2はセル変換回路11、セルオーバーヘッ

5

ド付与回路12およびマルチフレーム位相検出回路16によるセル化動作を説明する図である。マルチフレーム位相検出回路16は入力端子#1~#nに輸入されるすべてのSTM信号のマルチフレーム位相を検出する。セル変換回路11はそのマルチフレーム位相を利用して入力STM信号を1マルチフレーム分の情報に対応した48バイトずつに分解し、セルオーバーヘッド付与回路12はその48バイトの情報にセルオーバーヘッド(図では「OH」と示す)を付与してATM網13へ送出する。

【0015】図3はセル同期回路14、セル逆変換回路15およびタイミング発生回路17によるデセル化動作を説明する図である。セル同期回路14はセルを認識し、セル逆変換回路15はそのセルの5バイトのオーバーヘッドを取り除く。このセル逆変換回路15の出力点ですべてのチャンネルのマルチフレーム位相を検出することが可能であり、マルチフレーム位相同期を確立することができる。また、万セル落ちが発生した場合でも、ちょうど1マルチフレーム分の情報が無くなるため、セルのシーケンスを管理する機能が無くとも、出力STM信号においてマルチフレーム同期外れが生じることはない。

【0016】以上の説明では個々の入力端子から1チャンネルのフレーム構造をもつSTM信号が輸入される場合について説明したが、個々の入力端子に同じマルチフレーム構造をもつ複数のチャンネルが時分割多重されて入力される場合にも本発明を同様に実施できる。そのような場合のセル化の例を図4に示す。ここでは、入力端子#iを例に説明する。この例では、それぞれ三つのフレームにより構成される四つのマルチフレームが時分割多重されている。これらのマルチフレームは、タイムスロットのずれはあるが、多重化の単位から見ればマルチフレーム位相が一致している。このような場合にも、セル変換回路11およびセルオーバーヘッド付与回路12では、この時分割多重された信号を分離することなくセル化する。セル同期回路14およびセル逆変換回路15では、入力端子毎に別々にセル化されたATM信号から、マルチフレーム位相の一致する複数系列のSTM信号を生成する。入力端子がひとつの場合も同様に、同じマルチフレーム構造をもつ複数のチャンネルが時分割多重されたSTM信号をATM信号に変換して伝送することができる。

【0017】図5は全体の動作の流れを示す図である。送信側では、入力端子から入力されるSTM信号のマルチフレーム位相を検出し、そのマルチフレーム位相情報を利用して同一セル内にnチャンネルのmマルチフレーム分(n、mはともに1以上)の情報を収容するセルに変換し、セルオーバーヘッドを付与してATM網へ出力する。受信側では、入力ATM信号のセル位相を検出し、そのセル位相情報を利用して所要のマルチフレーム位相タイミングをもつSTM信号に逆変換する。

6

【0018】nチャンネルのmマルチフレーム分の情報が48バイトに満たない場合には48バイトとなるように適当なバイトを挿入してセル変換回路11に入力し、セル逆変換回路15においてその挿入されたバイトを削除すればよい。

【0019】このような構成により、受信側において、マルチフレーム位相同期回路を用いることなく、そのチャンネルのマルチフレーム位相同期を確立することが可能となる。また、セルのシーケンスを管理する機能を用いることなく、マルチフレーム同期外れの発生を防ぐことが可能となる。したがって、従来の技術に比べて回路規模の削減、伝送効率の向上、ならびに処理時間の短縮が可能となる。

【0020】

【発明の効果】以上説明したように、本発明の非同期伝送装置は、入力信号のマルチフレーム位相を利用して、1セル内にnチャンネルのmマルチフレーム分(n、mはともに1以上)の情報を収容する。このため、受信側において、セル同期が確立した時点で同時に全チャンネルのマルチフレーム位相同期を確立させることが可能となり、マルチフレーム位相同期回路が不要となる。また、セル落ちが発生した場合でも、セルのシーケンスを管理する機能を用いることなく、出力STM信号においてマルチフレーム同期外れの発生を防ぐことができる。したがって、回路規模の削減、伝送効率の向上ならびに処理時間の短縮が可能となる効果がある。

【図面の簡単な説明】

【図1】本発明実施例の非同期伝送装置を示すブロック構成図。

【図2】セル化動作を説明する図。

【図3】デセル化動作を説明する図。

【図4】個々の入力端子に同じマルチフレーム構造をもつ複数のチャンネルが時分割多重されて入力される場合のセル化の例を示す図。

【図5】全体の動作の流れを示す図。

【図6】従来例の非同期伝送装置を示すブロック構成図。

【図7】従来例のセル化を説明する図。

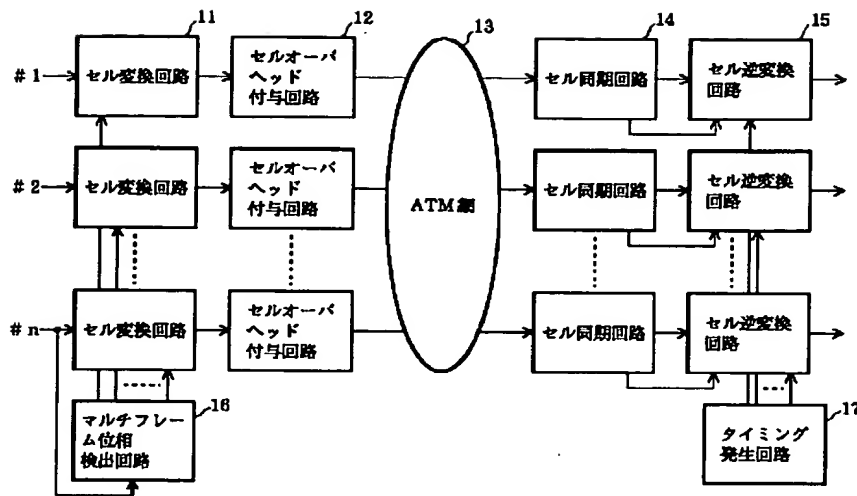
【図8】従来例のデセル化を説明する図。

【図9】従来例におけるマルチフレーム位相同期の確立動作を説明する図。

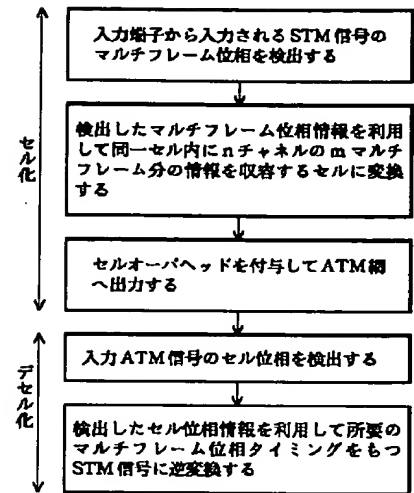
【符号の説明】

- 11、21 セル変換回路
- 12、22 セルオーバーヘッド付与回路
- 13、23 ATM網
- 14、24 セル同期回路
- 15、25 セル逆変換回路
- 16 マルチフレーム位相検出回路
- 17、27 タイミング発生回路
- 26 マルチフレーム位相同期回路

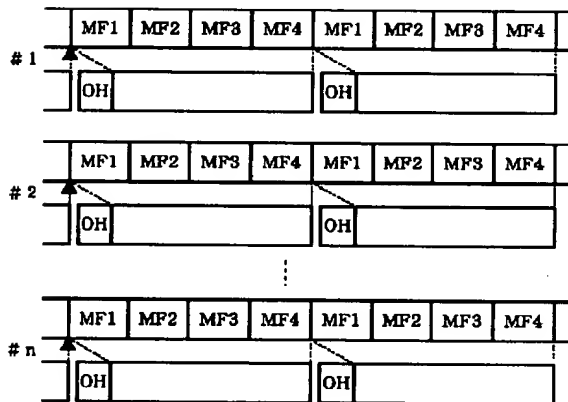
【図 1】



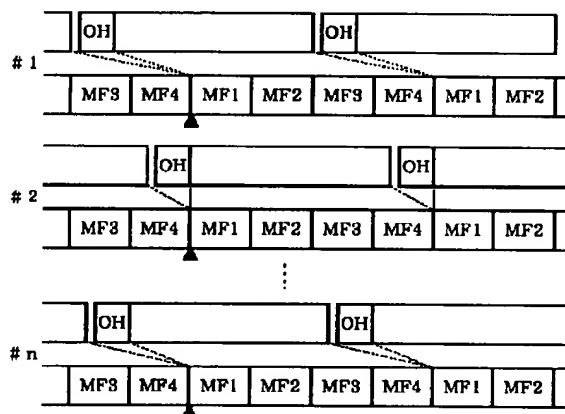
【図 5】



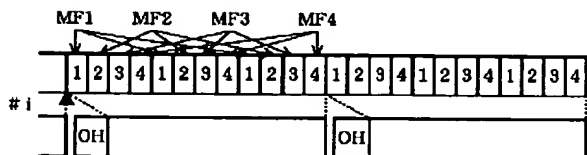
【図 2】



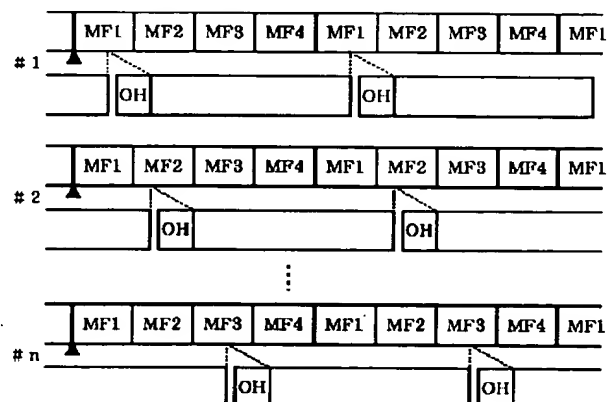
【図 3】



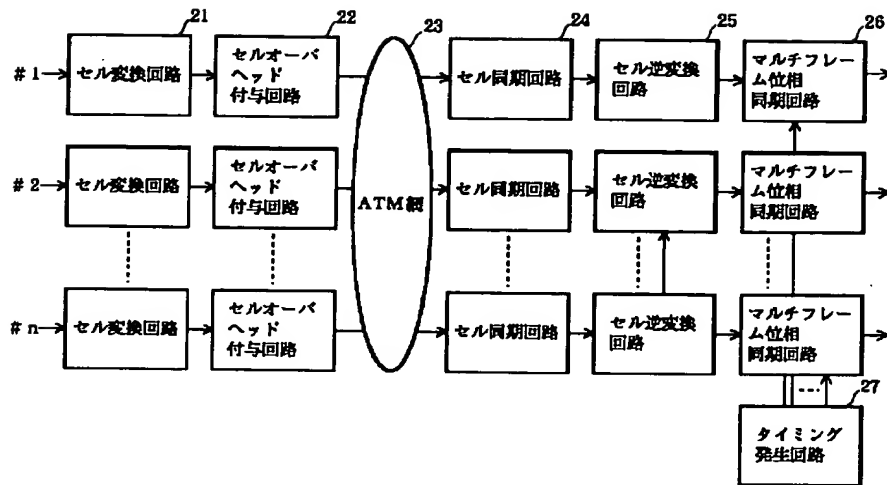
【図 4】



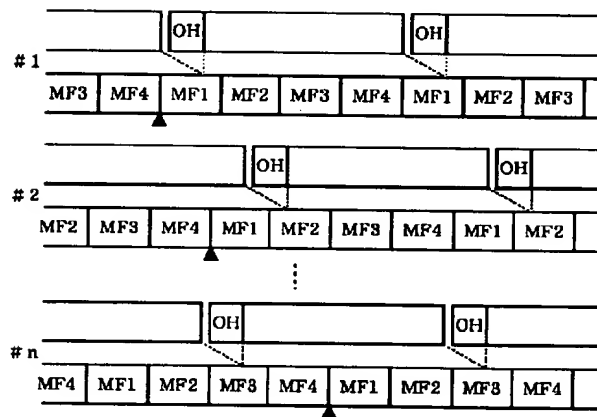
【図 7】



【図 6】



【図 8】



【図 9】

